

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **03018106 A**

(43) Date of publication of application: **25 . 01 . 91**

(51) Int. Cl

**H03B 5/04**

**H03B 5/12**

(21) Application number: **01152905**

(71) Applicant: **FUJITSU LTD FUJITSU VLSI LTD**

(22) Date of filing: **14 . 06 . 89**

(72) Inventor: **MIYAMA MINORU  
AKIYAMA TAKEHIRO**

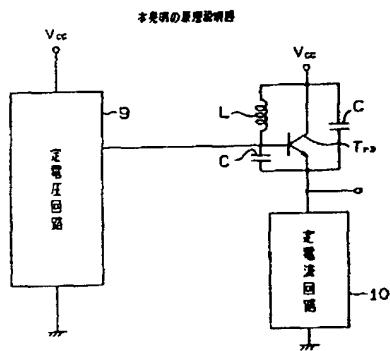
(54) OSCILLATION CIRCUIT

COPYRIGHT: (C)1991,JPO&Japio

(57) Abstract:

PURPOSE: To suppress the entry of noise from a power source circuit, and to suppress an increase in current consumption at the time of oscillation and improve a transmission level by supplying a constant voltage from a DC power source to the base of a transistor(TR) and a constant current from a constant current circuit to the emitter.

CONSTITUTION: When the DC power source VCC supplies the constant voltage to the base of the  $TR_3$  for oscillation through a constant voltage circuit 9, the noise is prevented from entering the power source VCC from another circuit on the same substrate. Consequently, the S/N and C/N of the high-frequency output signal of the  $TR_3$  are improved and the variation in oscillation frequency due to variation of the power source VCC is reduced. Further, the current is supplied from the constant current circuit 10 to the emitter of the  $TR_3$ , so the current consumption of the  $TR_3$  becomes constant and the constant current circuit 10 has high impedance to the high-frequency output current of the  $TR_3$ , so the oscillation level of the  $TR_3$  can be improved.



⑨ 日本国特許庁 (JP)

⑩ 特許出願公開

## ⑪ 公開特許公報 (A) 平3-18106

⑫ Int. Cl. \*

H 03 B 5/04  
5/12

識別記号

庁内整理番号

⑬ 公開 平成3年(1991)1月25日

C 8731-5J  
Z 8731-5J

審査請求 未請求 請求項の数 1 (全7頁)

## ⑭ 発明の名称 発振回路

⑮ 特 願 平1-152905

⑯ 出 願 平1(1989)6月14日

⑰ 発明者 深山 実 愛知県春日井市高蔵寺町2丁目1844番2 富士通バイエル  
エスアイ株式会社内⑰ 発明者 秋山 岳洋 愛知県春日井市高蔵寺町2丁目1844番2 富士通バイエル  
エスアイ株式会社内

⑰ 出願人 富士通株式会社 神奈川県川崎市中原区上小田中1015番地

⑰ 出願人 富士通バイエルエスアイ株式会社 愛知県春日井市高蔵寺町2丁目1844番2

⑰ 代理人 弁理士 井桁 貞一 外2名

## 明細書

## 1. 発明の名称

発振回路

## 2. 特許請求の範囲

1. 発振用トランジスタ (Tr3) にインダクタ (L) 及びキャパシタ (C) を接続し、その発振用トランジスタのベース及びコレクタに直流電源 (Vcc) を接続することによりそのインダクタ (L) 及びキャパシタ (C) の定数に基づく所定の周波数で発振する発振回路であって、

前記発振用トランジスタ (Tr3) のベースには直流電源 (Vcc) から定電圧回路 (9) を介して定電圧を供給し、発振用トランジスタ (Tr3) のエミッタには定電流回路 (10) を接続したことを特徴とする発振回路。

## 3. 発明の詳細な説明

## 〔摘要〕

モノリシック集積回路内に形成される発振回路に因し、

モノリシック集積回路内に約めても S/N 比、 C/N 比に優れ、発振時の消費電流の増大を抑えながら発振レベルの向上を図り、共通基板内に形成される他のデジタル回路からの電源を介したノイズの侵入を抑制可能とする発振回路を提供することを目的とし、

発振用トランジスタにインダクタ及びキャパシタを接続し、その発振用トランジスタのベース及びコレクタに直流電源を接続することによりそのインダクタ及びキャパシタの定数に基づく所定の周波数で発振する発振回路であって、前記発振用トランジスタのベースには直流電源から定電圧回路を介して定電圧を供給し、発振用トランジスタのエミッタには定電流回路を接続して構成する。

## 〔意匠上の利用分野〕

この発明はモノリシック集積回路内に形成される発振回路に関するものである。

自動車電話、コードレス電話等の通信機器では近年小形化及び低消費電力化を図るために、電子回路部のIC化が進んでいる。このような通信機器ではそのIC化が最も遅れている同調回路についてもその小形化及び低消費電力化が要請されている。

#### 〔従来の技術〕

上記のような通信機器の同調回路に使用されるコルピツツ発振回路は所要の特性を備えた電子部品で所定の発振回路がディスクリートで構成され、S/N比、あるいは発振レベル等の諸特性を満足させていた。しかし、このようなディスクリート構成のコルピツツ発振回路では小形化及び低消費電力化を図ることが困難であるため、この発振回路をIC化してモノリシック基板回路内に納める方策が検討されている。

#### 〔発明が解決しようとする課題〕

上記のようにコルピツツ発振回路をIC化して

モノリシック基板回路内に納めようとすると次に示すような問題点が生ずる。

(1) 第9図に示すように、基板回路内に形成されるトランジスタのNF(ノイズ・フィギュア)指数F1はディスクリート回路で使用される単品トランジスタのNF指数F2に対し約2dB劣っているため、ディスクリート構成のコルピツツ発振回路の回路構成を基板回路内でIC化するとS/N比及びC/N比が低下する。

(2) 第10図に示すようなコルピツツ発振回路の基本回路において、無発振時にはコンデンサC10、C11及びコイルL10からなる共振回路が高インピーダンス状態となってトランジスタTr10にはそのベース・エミッタ間電圧に基く直流電流が流れるが、この回路が発振状態となるとトランジスタTr10と共振回路との協同作用によりコレクタ・エミッタ間に大きな高周波電流が流れて消費電流が増大する。この高周波電流の大きさは共振回路のQ特性に基いて決定されるが、共振回路のQ特性を厳密に設定することは容易では

なく、この結果トランジスタTr10はQ特性の誤差に基く高周波電流値のバラつきにも対応できるようなディメンジョンで設計する必要があり、高集成化を図る上での障壁となる。また、消費電流もQ特性の誤差により大きくバラつくため、製品仕様として規格化することが困難である。

(3) アナログ回路であるコルピツツ発振回路とPLSレジンセサイザ回路等の他のデジタル回路及びアナログ回路とを共通基板上に形成して電源を共用すると、そのデジタル回路からのノイズが出力信号に混入する。

この発明の目的は、上記のような問題点を解決することにより、モノリシック基板回路内に納めてもS/N比、C/N比に優れ、発振時の消費電流の増大を抑えながら発振レベルの向上を図り、共通基板内に形成される他のデジタル回路からの電源を介したノイズの混入を抑制可能とする発振回路を提供するにある。

#### 〔課題を解決するための手段〕

第1図はこの発明の原理説明図である。すなわち、発振用トランジスタTr3にインダクタ及びキャパシタCを接続して発振回路が構成され、その発振回路は発振用トランジスタのベース及びコレクタに直流電源を接続することによりインダクタ及びキャパシタCの定数に基づく所定の周波数で発振する。そして、前記発振用トランジスタTr3のベースには直流電源Vccから定電圧回路9を介して定電圧が供給され、発振用トランジスタTr3のエミッタには定電流回路10が接続されている。

#### 〔作用〕

定電圧回路9により発振用トランジスタTr3のベースには直流電源Vccを介した他の回路からのノイズの混入が防止され、定電流回路10により発振用トランジスタTr3の消費電流は一定となる。また、定電流回路10は発振用トランジスタTr3の高周波出力電流に対し高インピーダンスとなるため、発振用トランジスタTr3の出力レベルが向

上する。

## 【実施例】

以下、この発明を具体化した一実施例を第2図及び第3図に従って説明する。

第3図に示すように、モノリシック集積回路が形成される基板1には例えば自動車電話の周波数回路を構成するPLLシンセサイザ回路2とそのPLLシンセサイザ回路2に基準周波数を出力するコルピット発振回路3とが形成されている。そのPLLシンセサイザ回路2はPLL演算部4、位相比較器5、チャージポンプ6から構成され、PLL演算部4及び位相比較器5はデジタル回路で構成され、チャージポンプ6はアナログ回路で構成されている。そして、コルピット発振回路3はアナログ出力であるチャージポンプ6の出力を外部のLPF(ローパスフィルタ)により直流電圧に変換された制御電圧により発振周波数を変化するVCO(電圧制御発振器)として構成され、そのコルピット発振回路3及びPLLシンセサイザ

回路2の各回路には共通の電源記号8から電源Vccが供給されている。

次に、前記コルピット発振回路3の構成を第2図に従って説明すると、定電圧回路9はPLLシンセサイザ回路2を構成する各回路から電源Vccに混入する低周波ノイズを除去してトランジスタTr1, Tr3のベースに直流電圧を出力する。トランジスタTr1のコレクタは電源Vccに接続され、エミッタはトランジスタTr2のコレクタ及びベースに接続され、トランジスタTr2のエミッタは抵抗R1を介して接地されている。従って、トランジスタTr1, Tr2のコレクタ電流は定電流となり、トランジスタTr2のコレクタは定電圧を出力する。

トランジスタTr3のベースはコンデンサC1を介して接地され、かつそのベース側をカソードとしたダイオードD1を介して接地されている。

発振用トランジスタを構成するトランジスタTr3のコレクタはコイルL1と抵抗R2との並列回路を介して電源Vccに接続され、コイルL2と容量可変ダイオードD4との並列回路を介して接地

されている。また、コレクタ・エミッタ間にコンデンサC3が接続され、エミッタはコンデンサC4を介して接地されるとともに、コンデンサC5を介してトランジスタTr5のベースに接続されている。そして、コイルL1は電源VccからトランジスタTr3に流れるコレクタ電流から高周波成分を除去する作用をなし、コレクタはコイルL2及びダイオードD1を介してベースに接続され、ベース・エミッタはコンデンサC1, C4を介して接続される。従って、トランジスタTr3はベース及びコレクタに供給される定電圧に基いて前記第10図に示す発振回路と同様な作用をなす。なお、容量可変ダイオードD4はこの発振回路の発振周波数を電圧により可変するものであり、そのカソード側を制御電圧の入力端子とし、電圧の変化による容量変化を発振周波数の変化に利用することでVCOを構成している。また、コンデンサC5はトランジスタTr3の出力端子から直流成分を除去する。

トランジスタTr4のコレクタは前記トランジ

スTr3のエミッタに接続され、同トランジスタTr4のエミッタは抵抗R3を介して接地されている。そして、トランジスタTr4のベースには前記トランジスタTr1, Tr2の動作に基く定電圧が印加されて同トランジスタTr4のコレクタ電流は定電流となる。従って、トランジスタTr4はトランジスタTr3の高周波出力電流に対し高インピーダンスとなる。なお、トランジスタTr4のベースには前記トランジスタTr3と同様にダイオードD2が接続されてそのベースに混入する高周波ノイズを除去するようになっている。

トランジスタTr5はトランジスタTr3に対するバッファアンプとして動作するものである。そして、トランジスタTr5のベースは抵抗R4を介して電源Vccに接続され、コレクタはコイルL3を介して電源Vccに接続されるとともに出力コンデンサC6を介して出力端子Toutに接続されている。

トランジスタTr6のエミッタはトランジスタTr5のコレクタに接続され、トランジスタTr6のエ

ミックは抵抗R5を介して接地され、ベースは前記トランジスタTr2のコレクタから直流電圧が供給されている。従って、トランジスタTr6はトランジスタTr5に対する定電源となる。

なお、この発振回路を構成するコンデンサC1、C2、C3、C4、C6と、コイルL1、L2、L3及び抵抗R2は外付け部品であり、この基板1外で当該部品が接続される。

さて、上記のようにP.L.S.シンセサイザ回路2と同一基板1上に形成されたコルピット発振回路では、発振用トランジスタTr3のベースには電源Vccから定電圧回路9を介して定電圧が供給されるため、同一基板1上に形成される他の回路から電源Vccに混入するノイズがこの定電圧回路9で除去され、この結果トランジスタTr3の高周波出力信号のS/N比及びC/N比が向上するとともに、電源Vccの変動による発振周波数の変動も低減される。

また、トランジスタTr3のエミッタには定電源を構成するトランジスタTr4が接続されている

の間に抵抗R7を挿入すること。

ハ) 第7図に示すように、第6図に示す抵抗R7に替えてコイルL4を挿入すること。

ニ) 第8図に示すように、発振用トランジスタTr3の出力信号をバッファアンプを構成するトランジスタTr5のエミッタに出力し、同トランジスタTr5はベース接地とすること。

また、前記実施例ではコンデンサC1、C2、C3、C4、C6と、コイルL1、L2、L3及び抵抗R2は外付けとしているが、これらを基板1内に内蔵したとしても本発明の趣旨に含まれることは明らかである。

#### [発明の効果]

以上詳述したように、この発明による発振回路はモノリシック基板回路内に納めててもS/N比、C/N比に優れ、発振時の消費電流の増大を抑えながら発振レベルを向上させることができ、かつ共通基板内に形成される他のデジタル回路からの電源を介したノイズの侵入を抑制することができ

ので、トランジスタTr3の発振時における消費電流の増大は防止される。従って、消費電流の低格化が可能となる。さらに、トランジスタTr4はトランジスタTr3の高周波出力電流に対し高インピーダンスとなるので、トランジスタTr3の出力電流のうち直流成分はトランジスタTr4のコレクタ電流として流れ、高周波成分はトランジスタTr5に出力される。従って、トランジスタTr3の高周波出力電流が抵抗R3に流れることによる損失が防止され、出力レベルが向上する。

また、この発明は次に示す態様で実施しても同様な効果を得ることができる。

イ) 前記実施例では発振用トランジスタTr3の出力信号はコンデンサC5を介してバッファアンプを構成するトランジスタTr5のベースに出力されているが、第4図に示すように抵抗R6を介して出力するようにすること、あるいは第5図に示すようにそれらを省略すること。

ロ) 第6図に示すように、発振用トランジスタTr3のエミッタとトランジスタTr4のコレクタと

る優れた効果を発揮する。

#### 4. 図面の簡単な説明

第1図はこの発明の原理説明図。

第2図はこの発明の実施例のコルピット発振回路を示す回路図。

第3図はそのコルピット発振回路が形成されるモノリシック基板回路の基板を示す概念図。

第4図～第8図はこの発明の実施例の変形例を示す概略図。

第9図は単品トランジスタと基板回路内のトランジスタのNF指數を示すグラフ図。

第10図はコルピット発振回路の基本回路を示す回路図である。

図中、

Tr3は発振用トランジスタ、

しはインダクタ、

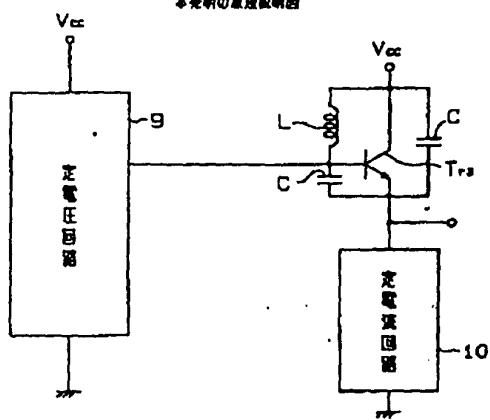
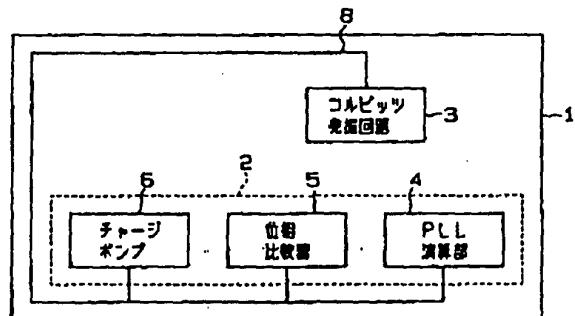
Cはキャパシタ、

9は定電圧回路、

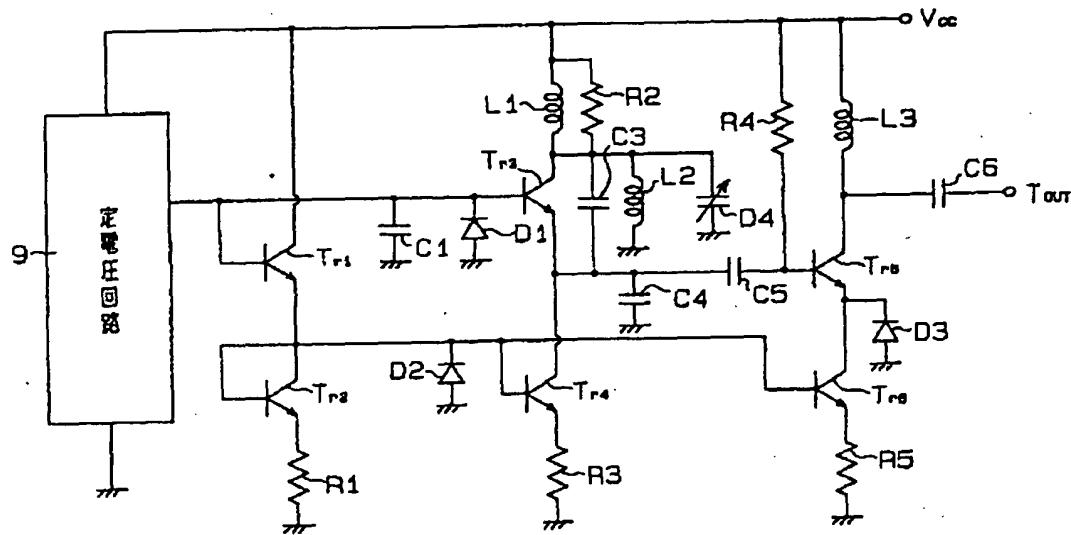
10は定電流回路である。

代理人 弁理士

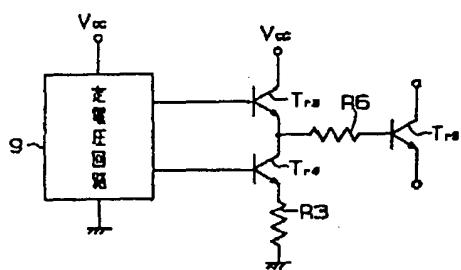
井若 貞一

第1図  
本発明の構成回路図第3図  
この実施例の構成回路図を示す框図

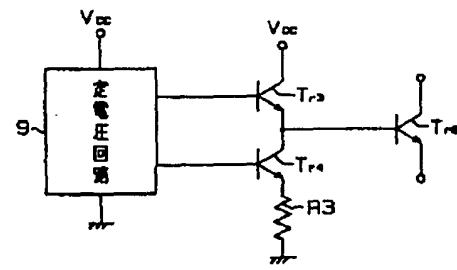
第2図  
本発明の実施例の回路図



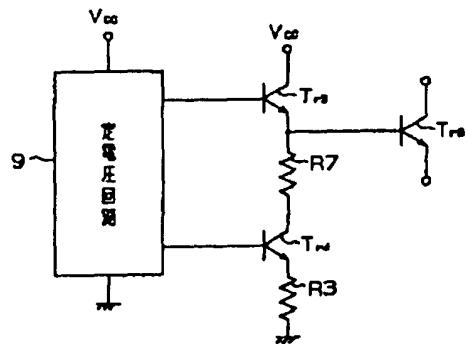
第4図  
本発明の実施例の変形例を示す第2図



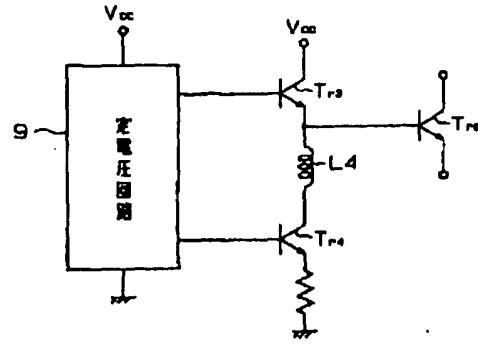
第5図  
本発明の実施例の変形例を示す概全図



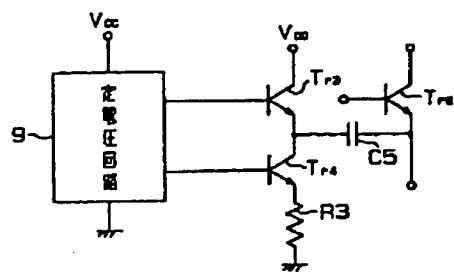
第6図  
本発明の実施例の変形例を示す概全図



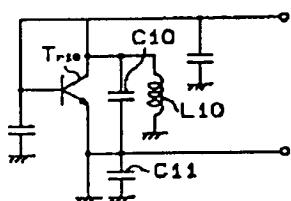
第7図  
本発明の実施例の変形例を示す概全図



第 8 図  
本発明の実施例の電気回路を示す回路図



第 10 図  
コルピックを基底回路の基本回路図



第 9 図  
單品トランジスタと集積回路内のトランジスタの  
NF値を示すグラフ

